

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of  
the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.



特許権主張  
(1975年6月23日米国出願番号 589,333号)  
特許願 (特許法第38条ただし書)  
(特許法第38条ただし書)

昭和51年 6月23日

特許庁長官 片山石郎殿

1. 発明の名称 ピット列の間の同一性を検出する回路  
2. 特許請求の範囲に記載された発明の数 2

3. 発明者

アメリカ合衆国 ニュージャージイ 07090 ニュオン  
住所(居所) ウエストフィールド カンタベリー ロード 239  
氏名 チャールズ アルフォニーズ フォン ロエスゲン

4. 特許出願人

アメリカ合衆国 ニューヨーク ニューヨーク  
住所 10007 ブロードウェイ 195  
ウエスタン エレクトリック  
氏名 カムバニー インコーポレーテッド  
代表者 ダブリュ. エム. ケイン

5. 代理人

郵便番号 100  
東京都千代田区丸の内3の2の3・富士ビル510号室  
代理人 関 部 正 尖 (外2名)  
(64443) 電話 (03) 336-1355 ~ 1356

6. 添付書類の目録

(1) 明細書 1 通  
(2) 願書副本 1 通  
(3) 図面 1 通



明細書

1. 発明の名称

ピット列の間の同一性を検出する回路

2. 特許請求の範囲

1. ピット列どうしの間の同一性を検出する回路において、該回路は；

一方のピット列の連続するピットの各々を複数個のピット位置のピットと比較する手段と、ここで前記ピット位置の各々のピットは前記一方のピット列の各ピット、他方のピット列の連続したピット位置の各ピットとに対応するものとし；

前記複数個のピット位置のうちの1個を除く全てのピット位置のピットに比較不一致があつたことを検出する手段と；

を含むことを特徴とするピット列間の同一性を検出する回路。

2. 特許請求の範囲第1項記載のピット列間の同一性を検出する回路において、該回路

⑯ 日本国特許庁

公開特許公報

⑯ 特開昭 52-3305

⑯ 公開日 昭52(1977) 1.11

⑯ 特願昭 51-73407

⑯ 出願日 昭51(1976) 6.23

審査請求 未請求 (全8頁)

庁内整理番号

6446 56  
6942 53

⑯ 日本分類

9612B51  
968C1

⑯ Int. Cl<sup>2</sup>

H04L 7/08  
H04J 3/06

は

前記他方のピット列の連続するピットを蓄積装置の連続する蓄積位置内に繰返し書き込み前記複数個のピット位置を前記蓄積装置内で循環させる手段と；

前記蓄積装置の各蓄積位置に相当する記憶位置を有し、前記一方のピット列のピットと前記蓄積装置の蓄積位置との比較不一致表示を記憶しつつ不一致表示を前記一方のピット列の1ピットにつき1位置づつ順次循環する記憶装置と；

を含むことを特徴とするピット列間の同一性を検出する回路。

3. 特許請求の範囲第2項記載のピット列間の同一性を検出する回路において、

前記記憶位置のうちの所定の1つを除くすべてが不一致表示を含むことを検出する手段を具備することを特徴とするピット列の間の同一性を検出する回路。

4. 特許請求の範囲第2項あるいは第3項い

すれにか記載の検出回路において、該記憶装置は各記憶位置のよみとり入力にゲートを含み、各記憶位置のゲートの一方の入力は比較不一致表示を循環するよう循環的順序で前の記憶位置の出力に接続されていることを特徴とするビット列の間の同一性を検出する回路。

5. 特許請求の範囲第1項乃至第4項のいすれにか記載の検出回路において、該複数個のビット位置のすべてに不一致があることを検出して誤りを表示する手段を含むことを特徴とするビット列の間の同一性を検出する回路。

6. 複数個のビットの流れの同期をとる回路において、該回路は第1のビットの流れの中の1ビットを第2のビットの流れの複数個のビットと比較し、その間の不一致信号を発生する手段と；複数個のレジスタを有する記憶装置

と；

該比較手段に応動して該ビット不一致信号を該記憶装置の対応する第1のレジスタを通してその第2のレジスタに延長する手段と、該ビット不一致信号が該レジスタの内の一つを除くすべてに延長されたときにこれを判定する該延長手段に応動する手段とを含む回路。

## 3. 発明の詳細な説明

本発明は2つのビット列の間の同一性を識別する回路に関する。

時分割多重方式のようなデジタルデータ通信方式では一般的に、システムによって処理されるデジタルデータのビット同期を実現するための装置をシステム中の種々の点に配置した装置を含んでいる。デジタルデータは一般に複数個の情報ワードで形成され、ワードはシステム中の単位として取扱かわれる多数のビットを含んでいる。与えられる形

式では通常各ワード中には固定した数のビットがある。頻々所定数のワードでデータのフレームを形成することがある。そのためデジタルデータの呼び方はそのデータがシステム中のどこに存在するかで変わつてくることが多い。このような意味上のわかりにくさを除くために、ここではもつと一般的な表言である“ビットの流れ”ということばを用いて、システム中のどこにビットが存在する場合でも複数個のビットの意味を表わすこととする。

ある型の同期装置ではビットの流れの中に、予め固定された同期ビットのシーケンスを挿入することが知られている。同期装置は予め固定されたシーケンスの存在の有無を検出してそれに応動して同期がとられているかあるいはとれていないかを判定する。

第2の型の同期装置では2つのビットの流れを比較する装置を含んでいる。周知の比較・ビット流同期装置では、通常一方のビットの流れをバッファに蓄積し、第2のビットの流

れをビット毎に第1のビットの流れと比較する。所定の数の連続したビットが一致したときに、同期が達成されたと判定される。さもなければ同期はとれていないことになる。

時分割デジタル通信方式における動作監視回路はそれぞれの入力および出力の2進信号を検査するため各々の多重化およびその逆の操作を行なう多重分離装置に接続されている。周知の監視回路は二つの2進信号の間のビット同期を達成するための計数装置を含んでおり、所定数の連続したビットが一致すればビット同期がとれているものとする。しかししながら、周知の監視回路はビット同期をとるのに必要な時間の点で能率が悪い。

本発明に従えば、ビット列の間の一一致を検出する回路が提供される。これには一方のビット列の連続したビットを複数個のビット位置において比較する手段であつて、各位置のビットは進行的に複数個のビットに対応し、該一方ビット列の各ビットに1個が対応し、

の後に生ずるビットの不一致を検出して、複数個のビットの流れの間の誤りを示す。

以下本発明の有利な一実施例について図面を参照して説明を行なう。

一般的に言つて第1図に示した回路は複数個の同様なビットの流れの間の同期を達成するように動作する。第1図を参照すればA1ビット流と呼ぶ第1のビットの流れが同期装置100のA1ビット流入端子110に直列に与えられる。A1クロツク端子130に与えられるビットクロツク・パルス信号に応動して、A1ビット流は順次ストア10に与えられる。ここでそのNビットが蓄積される。A1ビット流のNビットはそこから並列に比較器20の第1の入力にそれぞれ与えられる。その後同期付勢信号が同期装置100を初期化するように同期付勢端子150に与えられる。A2ビット流と呼ぶ第2のビットの流れが、A2ビット流端子120に与えられ、比較器20のすべてのそれぞれの第2の入力に与えられる。

他方のビット列の連続したビット位置がこれと比較されるものが含まれている。さらに1ビットを除いてすべてのビット位置のビットに不一致があつたことを示す手段が設けられている。

本発明の有利な一実施例においては、この回路は第1のビットの流れの複数個のビットを第2のビットの流れの中の单一のビットと比較する手段が含まれている。一致あるいは不一致比較信号は比較手段によつて与えられて付勢回路を通して複数個のレジスタを有するメモリーに与えられる。各々の不一致信号に応動して、メモリー・レジスタの一方がセットされる。第2のビットの流れの中の連続したビットは同様に第1のビットの流れと個々に比較され、1つを除いてすべてのメモリー・レジスタがセットされると、同期が達成されたことになる。さもなければ、同期が達成されていないことが示される。同期がとれると、ビットの流れの比較が続けられて、そ

こうしてA2ビット流の各ビットはA1ビット流のNビットと同時に比較される。負論理を利用して、比較器20の出力は第1図の例では循環メモリー40の出力と比較器付勢回路30によってNANDがとられる。比較器付勢回路30の出力は合さつて信号制御回路80に延長され、分けられて循環メモリー40のそれぞれのメモリー・レジスタに入れられる。レジスタは比較器付勢回路30の所定の出力に従つて個々にセットされる。1つを除いてすべてのメモリー・レジスタがセットされたときに、同期がとれたことになり、制御回路80によつて同期状態端子160に同期状態信号が与えられる。さもなければ、同期装置100は同期がとれていないことを検出して、制御回路80を通して端子160に同期外れ信号を与える。その後でビット流端子に雜音が生じてビットの流れの中のビットが反転するような不運な条件の結果として付勢回路30の出力がメモリー・レジスタの残りのものを

セットするようなこともある。これに応動して、誤り端子170に誤り信号が与えられる。

この回路によれば、既知の手段より早く複数個のビット流の間で同期が達成される。くわしく言えば、順次ストア10に蓄積されるA1ビットの数が増加すると、すなわちNが増大すると、同期を達成するために比較する必要があるA2ビットの数は減少する。例えば、ストア10がA1ビット流の2ビットしか蓄積していなければ、すなわちもしN=2であれば、2つのビット流の間の同期を達成するには平均して3個のA2ビットをそれと比較すればよい。さらに別の例で言えば、もしN=4であれば4個のA2ビットを比較する必要があり、もしN=8であれば5個のA2ビットを比較する必要があり、もしN=16であれば6個のA2ビットを比較する必要がある。

A1ビット流のNビットが端子110に与えられると、端子130に与えられるA1クロツ

信号はまたゲート 86 によつてリード 8070 を通して、循環メモリー 40 のメモリー・レジスタ 71-1 乃至 71-N のクリア入力に与えられる。

ハ2ビット流の各ビットは、端子 120 に与えられ、同時に排他的 NOR ゲート 21-1 乃至 21-N のすべての夫々第 2 の入力に与えられる。これによつて A2 ビット流の单一のビットは A1 ビット流のロビットのすべてと同時に比較されることになる。リード 23-1 乃至 23-N のそれぞれの排他的 OR ゲートの出力は、A2 ビットと一致した A1 ビットがあると、それに論理 "1" 信号を生ずるようになつてゐる。さもなければ、この例では論理 "0" 信号が生じて、夫々の A1 ビットと A2 ビットの間に不一致があることを示す。

ここで一致操作によつては A1 A2 の両ビット流の間の同期に關してあまり多くの位置情報はとれないことを知るのは役に立つ。それにもかかわらず、従来の同期方式では所定

数の連続したビットが一致したときに同期がとれるものとしていた。これに対して、不一致はもつと豊富な位置情報を提供し、ビットの流れが同期していないことを示す。従つて、以下の詳細な説明はビットの一一致ではなく、ビットの不一致を見ると、より理解しやすい。

さらに説明を統ければ、比較器 20 の出力は比較器付勢回路 30 の NAND ゲート 31-1 乃至 31-N のそれぞれの第 1 の入力に接続されている。循環メモリー 40 の出力は以下に説明する循環的方法で次の隣接したメモリー・レジスタを制御するよう NAND ゲートの出力はリード 36-1 乃至 36-N の出力はリード 36-1 乃至 36-N の出力を通して共通に制御回路 80 に与えられ、またセレクタ・スイッチ 60 を通して、リード 67-1 乃至 67-N を通し、メモリー・レジスタ 71-1 乃至 71-N の夫々の D 入力に与えられる。従つて循環メモリー 40 によつて比較される。従つて循環メモリー 40 によつて比較される。従つて循環メモリー 40 の NAND ゲートの夫々の第 2

の入力に与えられる論理信号にかかわらず、論理的 "0" の不一致信号が生ずると、夫々のメモリー・レジスタはセットされることになる。詳しく言えば、不一致信号は比較器 20 から付勢回路 30 の夫々の NAND ゲートを通して延長され、ここでこれが反転されて、夫々のメモリー・レジスタに与えられる。この不一致信号と端子 140 における A2 クロツク・パルスとに応動して、メモリー・レジスタは対応するリード 76-1 乃至 76-N の出力の論理的 "1" 信号を与える。これによつて次の隣接した比較器付勢回路 30 の NAND ゲートは次のハ2ビットが比較されたときに強制的に不一致信号を生ずる。従つてメモリー・レジスタは、その比較器が次にビットの一一致を表示してもセットされることになる。1 個を除いてすべてのメモリー・レジスタがセットされたときに同期が達成されることになる。

同期がとれた後には同期状態信号を提供するのが普通である。しかしながら、同期が達

成された直後にはこの信号を与えるなくてもよい。この代りに、同期信号に遅延を与えてその後で提供するようにしてもよいのである。この図に示す特定の装置は多数のパラメータ例を示す。(1)同期達成とその信号の発生、(2)同期例えば、(1)同期達成とその信号の発生、(2)同期達成の直後に信号を生ずるための検出信号装成のコスト等の間で種々の設計のかねあいのパラメータがある。

第1図において、同期状態信号はセットされていない所定のメモリー・レジスタ 71-(N-1)を除くすべてのメモリー・レジスタがセットされ、ある条件が制御回路 80 によって次に述べるよう検出されるまで遅延される。第1図に注目して、リード 36-1 乃至 36-(N-1)は一緒になつて制御回路 80 の NAND ゲート 81 の夫々の入力と、セレクタ・スイッチ 60 を通して接続のスイッチ 61-1 乃至 61-(N-1)と接続される。またリード 36-N は一緒になつて NOR ゲート 83、インバータ 82 およびセレクタ・スイッチ 61-N に接続されている。

路 30 の出力に応動して検出され、これにより端子 160 に同期状態信号が与えられた後ですべてのメモリー・レジスタをセットする。これによつてフリップフロップ 87 によって誤り信号が誤り端子 170 に与えられる。

これに対して、複数個のビット流の間に同期が達成された場合にはただちに同期状態信号が制御回路 80 によって与えられる。詳しく述べれば、図面には示していないが、制御回路 80 の複数個の論理ゲート 81 および 83 はメモリー・レジスタの内の 1 つを除くすべてがセットされたときにこれを検出するよう構成されている。各ゲート 83 の出力は図に示していない OR ゲートを通してフリップフロップ 88 の A 入力に延びている。これによつて同期が達成されるとただちに同期状態信号が与えられ、メモリー・レジスタの内の所定のひとつを除くすべてがセットされるまで遅延されることはない。

NAND ゲート 81 の出力は NOR ゲート 83 の夫々の入力と NOR ゲート 84 および 85 の夫々の入力とに接続されている。メモリー・レジスタ 71-(N-1)を除くすべてがセットされると、これに応動して同期状態信号が同期状態端子 160 にに対して、フリップフロップ 88 によって提供される。これと同時に、モード信号と呼ぶ同期状態信号の補数が、フリップフロップ 88 からリード 8060 を通してセレクタ・スイッチ 60 に延びる。このモード信号に応動して、メモリー・レジスタの出力はセレクタ・スイッチ 60 を通して次に翻訳したメモリー・レジスタの入力に延長される。これによつてメモリー・レジスタの入力は付勢回路 30 の出力から分離される。この後で A1 および A2 ビット流は同期が失なわれるごとに似た不運な状態の発生を監視するために監視される。同期失敗の状態は NAND ゲート 81 インバータ 82、NOR ゲート 84 およびフリップフロップ 87 によって符勢回路

次に前述した循環の方式について説明しよう。循環メモリー 40 はインバータ 50、セレクタ・スイッチ 60 およびメモリー・レジスタ 70 を含んでいる。循環メモリー 40 への入力はリード 36-1 乃至 36-N を通して、それぞれのセレクタ・スイッチ 61-1 乃至 61-N に与えられる。各セレクタ・スイッチの論理は通常のもので、上述したモード信号の存在の有無に応じて、メモリー・レジスタへの入力を選択的に切替える。セレクタ・スイッチの出力はリード 67-1 乃至 67-N のそれぞれを通して対応するメモリー・レジスタの A 入力に接続されている。セレクタ・スイッチの出力は端子 140 に与えられる A2 クロック信号を応動するメモリー・レジスタを通して延長されるのである。端子 140 はメモリー・レジスタの 3 すなわちクロック入力に共通に接続されている。メモリー・レジスタの出力はそれぞれのリード 76-1 乃至 76-N を通して、インバータ 51-1 乃至 51-N のそれぞれに接続される。

統されている。各インバータは次に循環メモリー出力リード 53-1 乃至 53-N を経由して比較器付勢回路 30 のそれぞれ次の隣接したものに接続されている。メモリー・レジスタの接続に当つては、例えばレジスタ 71-1 は、リード 76-1 を通し、インバータ 51-1 を通して、リード 53-1 を経由して、NAND ゲート 31-(1+1) のそれぞれの第 2 の入力に接続されている。一循する配線としては、メモリー・レジスタは元に戻つて NAND ゲート 31-1 に接続されており、循環メモリー 40 の出力を付勢回路 30 に延長するようになつてゐる。

本発明の原理の理解をさらに助けるために、第 1 図の実施例の選択された動作信号の例を第 3 A 乃至第 3 D 図に例示する。第 1 のビットの流れの例として第 2 図に示すビットの流れが A 1 ビット流端子 110 に与えられる。順次ストア 10 は 8 ビットを蓄積できると仮定すれば、すなわち  $N = 8$  であれば、第 2 図の

ビット番号 1 乃至 8 のビットがそれぞれ、フリップフロップ 11-1 乃至 11-8 に蓄積され、リード 12-1 乃至 12-8 を通して比較器 20 のそれぞれ第 1 の入力に延長される。この後で、この例では論理 “0” である初期化信号が同期付勢端子 150 を通して与えられて、フリップフロップ 88 およびメモリー・レジスタ 71-1 乃至 71-8 をクリアする。第 1 のビット流とは同様であるが、これとは同期外れを生じている第 2 のビット流が A 2 ビット流端子 120 に直列に与えられる。第 2 図で論理 “0” を示されているビット 6 が現存端子 120 に与えられている A 2 ビット流のビットであるとしよう。

第 3 A 図はこれに応動した順次ストア 10、比較器 20、比較器付勢回路 30 およびインバータ 50 の出力を示している。詳しく述べれば、比較器 20 の出力はリード 23-1 乃至 23-8 を通して比較器付勢回路 30 のそれぞれの第 1 の入力に延長される。初期化同期付

勢信号に応動して論理 “0” にリセットされたそれぞれのメモリー・レジスタの出力はインバータ 50 によつて反転されて、比較器付勢回路 30 それぞれの第 2 の入力に与えられる論理 “1” 信号となる。付勢回路 30 の出力はリード 36-1 乃至 36-8 に延長される。フリップフロップ 11-1, 11-3, 11-4, 11-7 および 11-8 に蓄積された A 1 ビットは端子 120 の A 2 ビットの論理 “0” とは不一致であるから、メモリー・レジスタ 71-1, 71-3, 71-4, 71-7 および 71-8 は端子 140 は A 2 ビットのクロック・パルスが与えられると、セットされる。これによつて次の A 2 ビットが比較されたときに、比較器 20 がそれぞれのビットの一致を示したとしても次に隣接した付勢回路 30 の NAND ゲートはそれに対応するメモリー・レジスタに強制的に不一致信号を与えることになる。

第 3 B 図に示すように、A 1 ビット流のビット 9 が次に A 1 ビット流端子 110 に与えら

れると、フリップフロップ 11-1 の内容を書き替え、リード 12-1 上の信号を変化する。A 2 ビット流のビット 7 が次に端子 120 に与えられるビットである。これに応動して、71-3 および 71-7 を除くすべてのメモリー・レジスタがセットされる。しかしながら、本発明の原理に従う同期を達成するためには、1 つを除くすべてのメモリー・レジスタがセットされることが必要である。従つて第 3 C 図に示すようにフリップフロップ 11-2 の内容を A 1 ビット流のビット 10 で書き替えて上述のプロセスがくりかえされる。これに応動してレジスタ 71-4 および 71-8 を除くすべてのメモリー・レジスタがセットされる。再び同期回路 100 の中の選択されたリードに現われる次の信号を示す第 3 図のようなプロセスが行なわれる。最後に第 3 D 図に示すように同期が達成される。すなわちメモリー・レジスタ 71-2 を除くすべてのメモリー・レジスタがセットされる。しかしながら、第 1

特開昭52-33057

1	比較する手段	20	比較器
	1個を除くすべての ビット位置に不一致 があることを検出する 手段	80	信号制御回路
2	蓄積装置	11	順次ストア
	書き込む手段	9	Nカウンタ
	記憶装置	40	循環メモリー
3	所定の1つを除くす べてが不一致表示を 含むことを検出する 手段	80	信号制御回路
4	記憶位置のゲート	30	比較器付勢回路
5	誤りを表示する手段	80	信号制御回路
6	不一致信号を発生す る手段	20	比較器
	記憶装置	40	循環メモリー
出願人		ウエスター カムバニー	エレクトリック インコーポレーテッド
代理人		岡 部 正 夫 安 井 幸 一 栗 林 賢	庄

図に示した信号制御回路を用いれば、同期状態信号はたとえ同期が達成された後でも、まだ同期状態端子 160 には与えられない。その代りに A 1 ビット流のさらに 5 ビットを受信して、第 3 フ図の最初の例のようになつたとき、制御回路 80 は所定のひとつ、すなわちメモリー・レジスタ 71-7 を除くすべてのメモリー・レジスタがセットされたことを検出する。これに応じて、同期状態信号が同期状態端子 160 に与えられる。

#### 4. 図面の簡単な説明

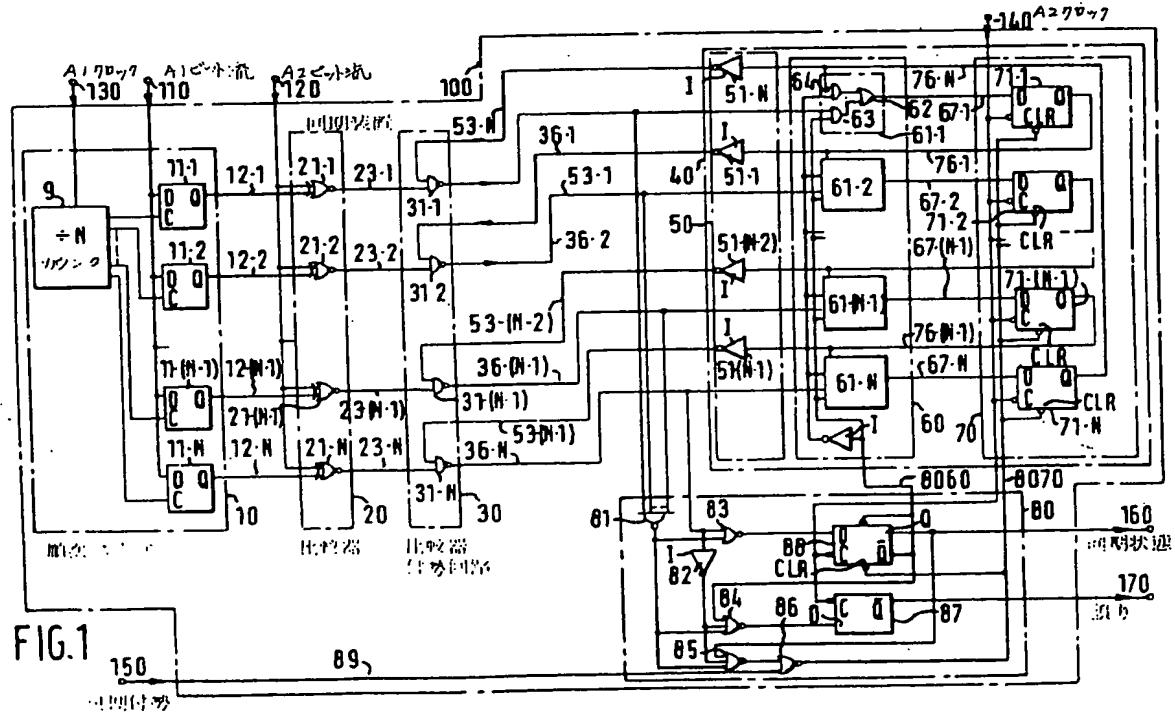
第 1 図は本発明の一実施例の説明図、

第 2 図は第 1 図の実施例の動作を説明するビットの流れの図、

第 3 A 図乃至第 3 F 図は第 2 図のビットの流れがそれに与えられたときの第 1 図の実施例の中での選定された論理信号の様子を示す図である。

#### 〔主要部分の符号の説明〕

請求範囲 請求範囲中の名称 符号 明細書中の名称



2	1	2	3	4	5	6	7	8	9	10	11	12	13
1	0	1	1	0	0	1	1	0	1	1	0	1	1

FIG.2

2	1	2	3	4	5	6	7	8	9	10	11	12	13
1	0	1	1	0	0	1	1	0	1	1	0	1	1

FIG.3A

2	1	2	3	4	5	6	7	8	9	10	11	12	13
1	0	1	1	0	0	1	1	0	1	1	0	1	1

FIG.3B

2	1	2	3	4	5	6	7	8	9	10	11	12	13
1	0	1	1	0	0	1	1	0	1	1	0	1	1

FIG.3C

2	1	2	3	4	5	6	7	8	9	10	11	12	13
1	0	1	1	0	0	1	1	0	1	1	0	1	1

FIG.3D

2	1	2	3	4	5	6	7	8	9	10	11	12	13
1	0	1	1	0	0	1	1	0	1	1	0	1	1

FIG.3E

2	1	2	3	4	5	6	7	8	9	10	11	12	13
1	0	1	1	0	0	1	1	0	1	1	0	1	1

2	1	2	3	4	5	6	7	8	9	10	11	12	13
1	0	1	1	0	0	1	1	0	1	1	0	1	1

FIG.3F

(4) 委任状および翻訳文

各1通

(5) 優先権主張証明書および翻訳文

各1通

## 7. 前記以外の代理人の住所・氏名

〒100  
東京都千代田区丸の内3-2-3 富士ビル510号室  
電話(213)1561~1565

(6655)弁理士 安井幸一

同上

(6459)弁理士 栗林貢

上申: 本願の「発明の名称」は、委任状および原米国出願に記載の「発明の名称」と相違いたしておりますが、内容同一であります。